

EUROPEAN PATENT OFFICE

Patent Abstracts of Japan

PUBLICATION NUMBER : 04009770
PUBLICATION DATE : 14-01-92

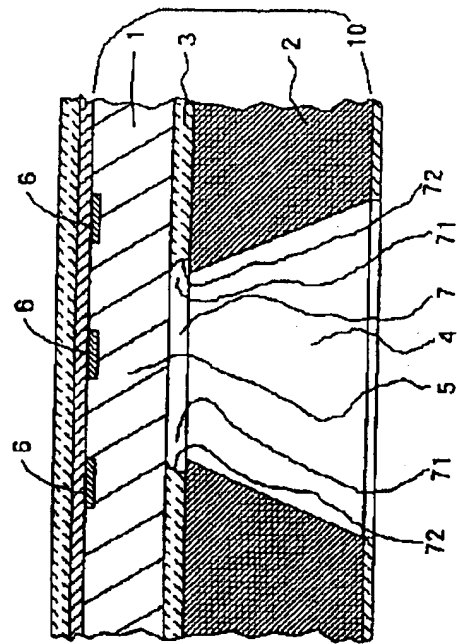
APPLICATION DATE : 27-04-90
APPLICATION NUMBER : 02113944

APPLICANT : NIPPONDENSO CO LTD;

INVENTOR : OKAWA MAKOTO;

INT.CL. : G01P 15/12 G01L 9/04 H01L 29/84

TITLE : SEMICONDUCTOR
STRAIN-SENSITIVE SENSOR AND
MANUFACTURE THEREOF



ABSTRACT : **PURPOSE:** To provide excellent yield strength to a strain generating part and to reduce the irregularity of measuring accuracy, in a bonded substrate wherein an insulating film is held between a semiconductor substrate for a base part and a semiconductor substrate for a strain-sensitive part, by reducing the thickness of the semiconductor substrate for the strain-sensitive part to form a semiconductor strain element and etching the semiconductor substrate for the base part to form the strain generating part using the insulating film as a stop line and forming an undercut region to the end edge thereof.

CONSTITUTION: A bonded substrate 10 is formed by bonding a thin-wall strain-sensitive substrate 1 and a thick-wall base part substrate 2 through a silicon oxide film 3. A recessed part is formed to the substrate 2 and a strain generating part 5 is formed to the substrate 1 and semiconductor strain elements 6 are formed to the latter and a recessed part 7 is formed to the silicon film 3 between both of them. The recessed part 7 has an undercut region 71 between substrates 1, 2 and the side surface 72 forms a deep inclined surface on the side of the substrate. By this constitution, the yield strength of the strain generating part 5 is enhanced to a large extent and the irregularity of measuring accuracy can be prevented.

COPYRIGHT: (C)1992,JPO&Japio

⑫ 公開特許公報(A) 平4-9770

⑤ Int. Cl.⁵G 01 P 15/12
G 01 L 9/04
H 01 L 29/84

識別記号

1 0 1

B

庁内整理番号

7187-2F
9009-2F
2104-4M

⑬ 公開 平成4年(1992)1月14日

審査請求 未請求 請求項の数 2 (全6頁)

⑭ 発明の名称 半導体感歪センサ及びその製造方法

⑯ 特 願 平2-113944

⑰ 出 願 平2(1990)4月27日

⑱ 発 明 者 大 川 誠 愛知県刈谷市昭和町1丁目1番地 日本電装株式会社内
 ⑲ 出 願 人 日本電装株式会社 愛知県刈谷市昭和町1丁目1番地
 ⑳ 代 理 人 弁理士 大 川 宏

明 細 書

1. 発明の名称

半導体感歪センサ及びその製造方法

2. 特許請求の範囲

(1) 基部用半導体基板及び感歪部用半導体基板を中間絶縁膜を挟んで接合して接合基板を形成する接合基板形成工程、

前記感歪部用半導体基板を薄肉化した後、前記感歪部用半導体基板に半導体歪み素子を形成する素子形成工程、

前記中間絶縁膜をエッチング停止線として前記基部用半導体基板をエッチングして前記基部用半導体基板の所定領域に起歪部を形成する起歪部形成工程、

前記起歪部表面に露出する前記中間絶縁膜を選択的に等方性エッチングして前記起歪部端縁に沿ってアンダーカット領域を形成するアンダーカット領域形成工程、

を順次実施することを特徴とする半導体感歪センサの製造方法。

(2) 薄肉の感歪部用半導体基板及び厚肉の基部用半導体基板を中間絶縁膜を挟んで接合して形成された接合基板と、

前記基部用半導体基板の所定領域に凹設された第1凹部と、

前記第1凹部に隣接して前記感歪部用半導体基板に設けられた起歪部と、

前記起歪部に設けられた半導体歪み素子と、
を備える半導体感歪センサにおいて、

前記第1凹部と起歪部との間の前記中間絶縁膜に凹設される第2凹部を備え、

該第2凹部は、前記第1凹部に隣接する前記基部用半導体基板と前記感歪部用半導体基板との間に延在するアンダーカット領域を備え、

前記アンダーカット領域の側面は前記感歪部用半導体基板側から前記基部用半導体基板側に向かうにつれて前記第2凹部の中心から遠ざかる形状を有することを特徴とする半導体感歪センサ。

3. 発明の詳細な説明

[産業上の利用分野]

本発明は、二枚の半導体基板を中間絶縁膜を挟んで接合した接合基板を用いた半導体感歪センサの製造方法に関する。

〔従来の技術〕

半導体基板を薄肉化して形成した起歪部に半導体歪み素子を設け、起歪部の歪量を電氣的に検出することにより圧力や加速度を検出する半導体感歪センサでは、測定精度の向上のために起歪部を一般に異方性エッチングによって形成している（第8図参照）。しかし、このように異方性エッチングにより起歪部を形成すると、起歪部寸法は高精度化できるものの、起歪部のエッジの形状変化が急峻であるので、このエッジに応力が集中して起歪部耐力が低下し、圧力センサでは耐圧力性能が、加速度センサでは耐衝撃性が等方性エッチングの場合より低下する欠点がある。

この問題を改善するために、特開昭62-60270号公報は、異方性エッチングに続いて等方性エッチングを行って、エッジ100の面取りを行っており、また、特開平1-274478号公

報は、異方性エッチングに続いてフロンガス系プラズマドライエッチングを行ってエッジに凹部を形成している。

〔発明が解決しようとする課題〕

上述した二つの先行技術の方法によれば上記エッジへの応力集中を緩和できるものの、以下に説明する新たな不具合が生じる。

すなわちどちらの技術を用いるにしても、異方性エッチングにより露出する起歪部の露出面が、等方性エッチング又はフロンガス系プラズマドライエッチングにより再エッチされてしまう。

これら等方性エッチング又はフロンガス系プラズマドライエッチングは上記異方性エッチングより寸法精度（特に深さ方向精度）が格段に悪く、その結果、この等方性エッチング又はフロンガス系プラズマドライエッチングによるエッチング量のばらつきが起歪部寸法（肉厚）のばらつきとなって、測定精度のばらつきを生じさせる。もちろん、これら等方性エッチング又はフロンガス系プラズマドライエッチングのエッチング量を減

少すればエッチング量の絶対ばらつき量も低下するが、当然、エッジの面取り又はエッジへの凹部形成が不完全となる。

本発明は上記問題点に鑑みなされたものであり、優れた起歪部耐力を有するとともに測定精度のばらつきが少ない半導体感歪センサとその製造方法を提供することをその解決すべき課題としている。

〔課題を解決するための手段〕

本発明の半導体感歪センサの製造方法は、基部用半導体基板及び感歪部用半導体基板を中間絶縁膜を挟んで接合して接合基板を形成する接合基板形成工程、

前記感歪部用半導体基板を薄肉化した後、前記感歪部用半導体基板に半導体歪み素子を形成する素子形成工程、

前記中間絶縁膜をエッチング停止線として前記基部用半導体基板をエッチングして前記基部用半導体基板の所定領域に起歪部を形成する起歪部形成工程、

前記起歪部表面に露出する前記中間絶縁膜を選

択的に等方性エッチングして前記起歪部端縁に沿ってアンダーカット領域を形成するアンダーカット領域形成工程、

を順次実施することを特徴としている。

本発明の半導体感歪センサは、薄肉の感歪部用半導体基板及び厚肉の基部用半導体基板を中間絶縁膜を挟んで接合して形成された接合基板と、

前記基部用半導体基板の所定領域に凹設された第1凹部と、

前記第1凹部に隣接して前記感歪部用半導体基板に設けられた起歪部と、

前記起歪部に設けられた半導体歪み素子と、
を備える半導体感歪センサにおいて、

前記第1凹部と起歪部との間の前記中間絶縁膜に凹設される第2凹部を備え、

該第2凹部は、前記第1凹部に隣接する前記基部用半導体基板と前記感歪部用半導体基板との間に延在するアンダーカット領域を有し、

前記アンダーカット領域の側面は前記感歪部用半導体基板側から前記基部用半導体基板側に向か

うにつれて前記第2凹部の中心から遠ざかる形状を有することを特徴としている。

〔作用及び発明の効果〕

本発明の半導体感歪センサは、第1凹部と起歪部との間の中間絶縁膜に凹設される第2凹部が、この第1凹部に隣接する基部用半導体基板と感歪部用半導体基板との間に横方向に食込んで延在（侵入）するアンダーカット領域を有し、かつ、このアンダーカット領域の側面が感歪部用半導体基板側から基部用半導体基板側に向かうにつれて第2凹部の中心から遠ざかる形状を有している。

このために、確実な理由は不明であるものの、大幅な起歪部耐力の向上が可能となることがわかった。

推測するに、アンダーカット領域の側面が感歪部用半導体基板側から基部用半導体基板側に向かうにつれて第1凹部から遠ざかる形状をもつので、この部位における応力集中が緩和されるのではないかと、及び、アンダーカット領域が第1凹部に隣接する基部用半導体基板と感歪部用半

導体基板との間に横方向に食込んで形成されるのも何等かの関連があるのではないかと、ということが理由として挙げられる。

本発明の半導体感歪センサの製造方法は、接合基板の中間絶縁膜をエッチング停止線として上記第1凹部の部分をエッチングして起歪部を形成し、この起歪部表面に露出する中間絶縁膜の部分を等方性エッチングして起歪部端縁に沿ってアンダーカット領域を形成している。

したがってこの製造方法によれば、以下の効果を奏することができる。

すなわち、深さ方向の寸法精度が良くない等方性エッチングを用いるにもかかわらず、中間絶縁膜の等方性エッチングであるので、起歪部を構成する感歪部用半導体基板のエッチングをほとんど無視することができ、その結果として、高い寸法精度が要求される起歪部をこの等方性エッチングプロセスから保護することができ、それに起因する測定精度のばらつきを防止することができる。

更に、なんらマスクを必要とすることなく、中

間絶縁膜の等方性エッチングによって、アンダーカット領域（基部用半導体基板と感歪部用半導体基板との間に横方向に食込んで形成される領域）を簡単なプロセスで形成することができる。

〔実施例〕

（実施例1）

本発明の半導体感歪センサの一例として、シリコン圧力センサを第1図により説明する。

このセンサは、薄肉の第1基板（本発明でいう感歪部用半導体基板）1及び厚肉の第2基板（本発明でいう基部用半導体基板）2を酸化シリコン膜（本発明でいう中間絶縁膜）3を挟んで接合して形成された接合基板10を具備し、第2基板2の所定領域には第1凹部4が凹設されている。第1凹部4に隣接して第1基板1には薄肉の起歪部5が設けられており、起歪部5には半導体歪み素子6が設けられている。また、第1凹部4と起歪部5との間の酸化シリコン膜3が凹設されて第2凹部7が形成されており、この第2凹部7は、第1凹部4に隣接する第2基板2と第1基板1との

間に延在する（横方向に喰込む）アンダーカット領域71を有している。アンダーカット領域71の側面72は、第1基板1側から第2基板2側に向かうにつれて第2凹部7の中心から遠ざかる斜面形状を有している。

このセンサの構造の詳細については、以下の製造方法の説明とともに詳述してゆく。

このセンサの製造方法は、それぞれ単結晶シリコンからなる第2基板2及び第1基板1で酸化シリコン膜3を挟んで接合して接合基板10を形成する接合基板形成工程（第2図参照）と、第1基板1を薄肉化した後、第1基板1に半導体歪み素子6を形成する素子形成工程（第2図参照）と、酸化シリコン膜3をエッチング停止線として第2基板2を異方性エッチングして第2基板2の所定領域に起歪部4を形成する起歪部形成工程（第3図及び第4図参照）と、起歪部4の表面に露出する酸化シリコン膜3を等方性エッチングして起歪部4の端縁に沿ってアンダーカット領域71を形成するアンダーカット領域形成工程と（第1図参

照)を順次実施してなる。

(接合基板形成工程)

面方位が(100)、比抵抗が $3 \sim 5 \Omega \cdot \text{cm}$ 、 N^- 型で、一方の主表面に $1 \mu\text{m}$ 厚の酸化シリコン膜3が熱酸化法により形成された第2基板2と、面方位が(100)である N^- 型の第1基板1とを用意し、第1基板1及び酸化シリコン膜3の表面を清浄化し、酸化シリコン膜3を挟むように第1基板1と第2基板2とを直接接合して接合基板10を形成する(第2図参照)。

(素子形成工程)

第1基板1の露出した主表面を研磨し、次いで、ミラーポリッシュ仕上げして $1 \sim 50 \mu\text{m}$ の厚とする(第2図参照)。

その後、ホトリソ法及び熱拡散法またはイオン注入法を用いて第1基板1の表面に高温度のボロンを拡散して半導体歪み素子6を形成する。次に、第1基板1の表面に約 $0.5 \mu\text{m}$ 厚の酸化シリコン膜8aを熱酸化法等により形成し、半導体歪み素子6上方の酸化シリコン膜8aをホトリソ法を

用いて開孔する。次に、アルミ膜(図示せず)を真空蒸着した後、ホトリソ法を用いてエッチングしてアルミ電極線(図示せず)を形成し、このアルミ電極線の一端を半導体歪み素子6にコンタクトさせる(第2図参照)。

(起歪部形成工程)

第2基板2の表面にCVD法により窒化シリコン膜8を形成する(第2図参照)。その後、プラズマエッチングにより窒化シリコン膜8を開孔し(第3図参照)、ワックス(図示せず)などで保護が必要な表面を保護した後、露出した第2基板2を異方性エッチングして第1凹部4を形成する。なお、第1凹部4は半導体歪み素子6の直下近傍に位置しており、異方性エッチングを酸化シリコン膜3で停止させて形成されている。この異方性エッチングはKOH水溶液で実施される(第6図参照)。

(アンダーカット領域形成工程)

次に49%フッ酸溶液と水との重量比が1:1であるHF水溶液を用いて起歪部5(第1凹部4

に面する第1基板2の領域)表面に露出する酸化シリコン膜3を等方性エッチングし、同時に両基板1、2の間の酸化シリコン膜3をアンダーカットして、第2凹部7を形成し、同時に、起歪部5の端縁に沿ってアンダーカット領域71を形成する。

このようにして製造されたシリコン圧力センサは、第6図に示すように、ジャストエッチ点の近傍を極大点として従来例(酸化シリコン膜3を等方性エッチングしない場合)に比較して大幅な起歪部耐圧を有することがわかった。

なお、ここでいう“ジャストエッチ”とは、酸化シリコン膜3の上面31(第4図参照)で測定したアンダーカット幅が酸化シリコン膜3の膜厚に等しいエッチング状態をいう。

なお、本発明の半導体感歪センサは、上記の他、ダイヤフラム(起歪部)の中央部分に剛体部分(肉厚部分)を有する、いわゆるE型ダイヤフラムと呼ばれる構造の圧力センサはもちろん、第7図に示すようなシリコン加速度センサにも当然応

用できる。

このシリコン加速度センサは貫通溝40を形成して起歪部51と質量部52とからなるカンチレバー部(片持ち梁部)を形成する点の他は、上記シリコン圧力センサと同じ製造工程で製造することができる。また、ここには片持ち梁構造の加速度センサについては図示したが、両持ち梁等、他の梁構造の加速度センサについても同様の効果が得られる。

好適な態様において、酸化シリコン膜3の厚さは、 $0.2 \sim 10 \mu\text{m}$ に設定される。

$0.2 \mu\text{m}$ を下回るとエッジ部への応力集中の緩和が充分でなく、 $10 \mu\text{m}$ を超えると製造が困難になりぶどまりが低下する。もちろん、起歪部5上の酸化シリコン膜3の一部を残すことも可能である。また、第2凹部7の深さは $0.2 \mu\text{m}$ 以上とすることが好ましい。 $0.2 \mu\text{m}$ を下回ると、応力緩和が不十分となり、起歪部5の耐力が低下する。

更に、上記実施例では酸化シリコン膜3の等方

性エッチングにより起歪部5上の酸化シリコン膜3を完全にエッチングしているので、起歪部5の寸法ばらつきを極めて正確に制御できるという利点がある。

なお、第1凹部のエッチングはウェット及びドライのどちらでも良く、ただ、中間絶縁膜を実質的にエッチングしない材料であれば良い。そして第2凹部のエッチングもウェット及びドライのどちらでもよく、ただ、シリコン基板を実質的にエッチングしない材料であれば良い。

4. 図面の簡単な説明

第1図は、本発明の半導体感歪センサの構造を示す断面図、第2図～第4図はその製造方法を順に説明する断面図、第5図は半導体感歪センサの要部拡大断面図、第6図は本発明が奏する耐歪力向上を示す特性図、第7図は本発明の他の実施例を示す断面図、第8図は従来の半導体感歪センサの断面図である。

1…第1基板（感歪部用半導体基板）

2…第2基板（基部用半導体基板）

3…酸化シリコン膜（中間絶縁膜）

4…第1凹部

5…起歪部

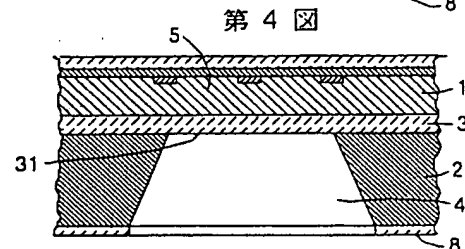
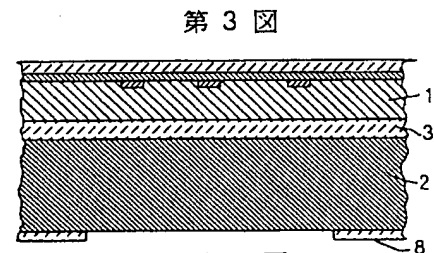
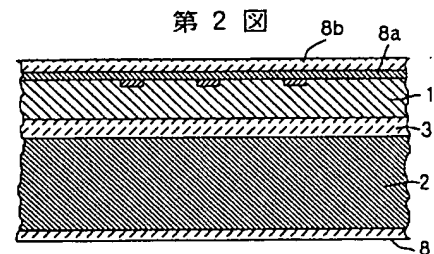
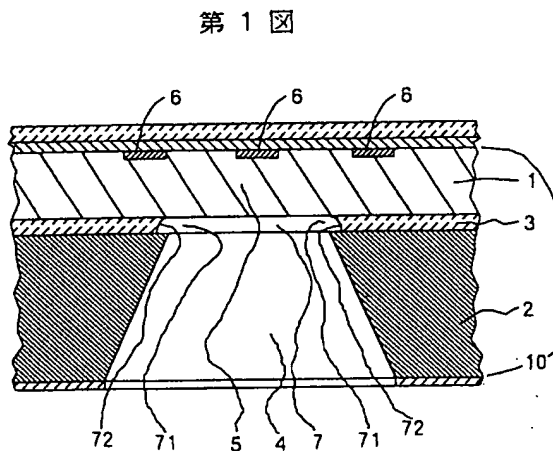
6…半導体歪み素子

7…第2凹部

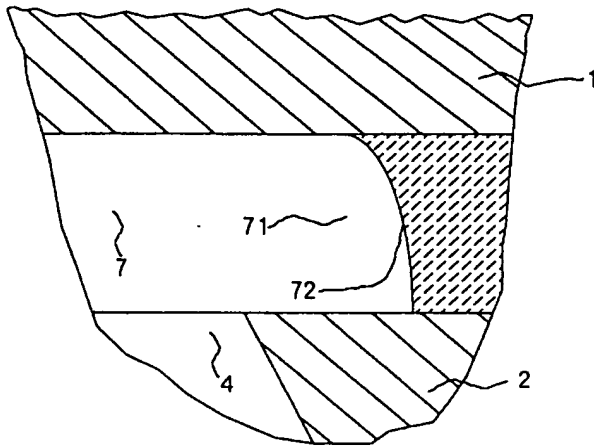
71…アンダーカット領域

特許出願人 日本電装株式会社

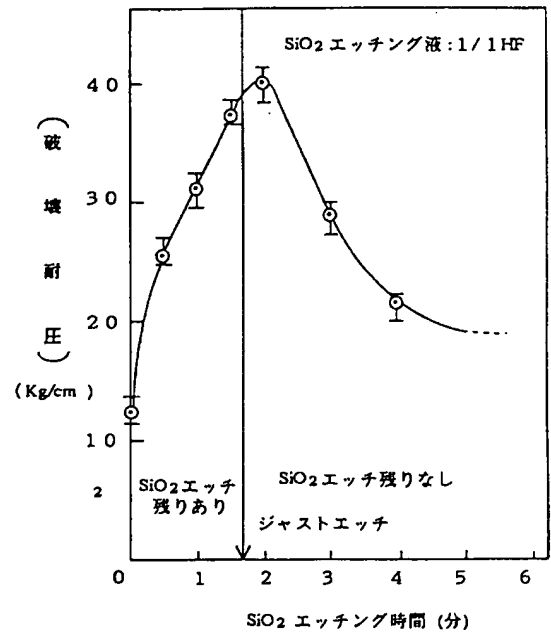
代理人 弁理士 大川 宏



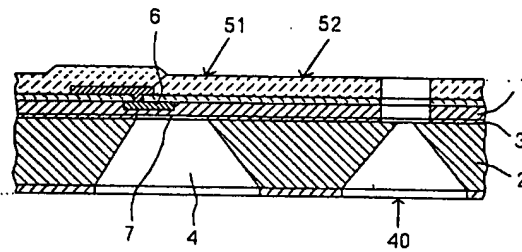
第5図



第6図



第7図



第8図

